

基于 FPGA 的高速图像实时信息合成处理器的设计

何家维, 何 昕, 魏仲慧, 梁国龙

(中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033)

摘 要: 提出了一种由硬件进行实时化信息合成的解决方案, 设计了基于 FPGA 的实时信息合成处理器. 在相机输出图像的过程中, 实时合成同步信息, 最多可接收并合成 16 路 RS-422 串行数据和 8 路 RS-232 串行数据, 并可自动适应输入图像的分辨率和帧频. 实验数据验证了信息合成的正确性. 具有实时性好、稳定性高、集成度高的优点.

关键词: FPGA; CameraLink; 信息合成; 工业相机

中图分类号: TN386.5

文献标识码: A

文章编号: 1000-7180(2015)04-0094-04

Design of High-speed Image and Real-time Information Composite Processor Based on FPGA

HE Jia-wei, HE Xin, WEI Zhong-hui, LIANG Guo-long

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)

Abstract: A real-time information synthetic method based on hardware system is given out, and a real-time information synthetic processor based on FPGA is designed in this paper. The processor can compose synchronization information when camera outputs image. The processor can receive 16 RS-422 serial data and 8 RS-232 serial data at most, and automatically adapt the input image's resolution and frame rate. The experiment data verifies the correctness of the processor. The processor is good at real-time, stability, and integration.

Key words: FPGA; CameraLink; information composite; industry camera

1 引言

目前的数字化工业相机可通过 CameraLink 等专用接口输出高分辨率高帧频的数字图像^[1], 然而由于接口和协议的限制, 大多数工业相机对拍摄过程中的同步信息(本文中同步信息可定义为拍摄过程中除相机外的其他分系统产生的、对图像判读具有重要意义实时性数据信息, 如每帧的拍摄时间、拍摄参数、镜头参数、相机指向角度信息等数据)不能实现同步记录, 而这些信息对于提高整个系统的同步性能、实时性能和精准性能至关重要. 在以往的系统中, 同步信息可由主控计算机通过串口卡采集实现软件记录, 但这种方式的问题在于主控软件记录的同步信息与相机输出的数字图像间没有同步关

系, 因此也就不能确定每帧数字图像输出时刻所对应的同步信息, 从而影响系统空间测量和时间测量的精确性. 随着成像技术的不断发展, 数字相机的拍摄频率越来越高, 这一问题对图像判读处理的影响就更加显著了.

针对这一问题, 本文设计了一种基于硬件的实时同步信息合成处理器, 该处理器通过接口电路同时采集数字相机的输出图像和其他系统发出的多路同步信息与同步脉冲信号, 通过硬件处理, 将各路同步信息组帧后合成到数字图像上, 再将带有同步数据的数字图像输出给图像采集卡, 完成图像记录. 同步信息合成处理器的信息叠加可使每帧数字图像获得其对应输出时刻的准确同步信息, 并且可与图像数据一起传输、记录, 该方法可显著提高系统的实

收稿日期: 2014-05-29; 修回日期: 2014-07-22

基金项目: 中国科学院知识创新工程领域前沿项目

时性、可靠性和精准性。

2 系统设计方案

为了提高信息合成处理器的集成度和可靠性,

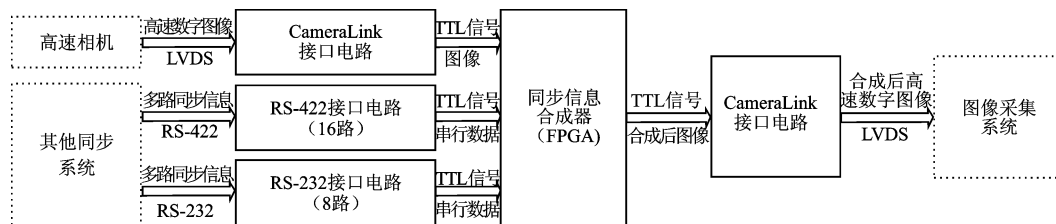


图1 实时信息合成处理器系统组成

接口电路主要是负责图像数据的接收发送以及同步信息的采集,本系统中,同步信息主要来自 RS-422 串行数据接口,系统可同时接收 16 路同步数据,为了便于系统扩展,还设计了 8 路 RS-232 数据接口。同步信息合成器是系统的核心部分,采用 FPGA 由硬件描述语言设计实现,主要进行数据缓存和组帧,并将数据合成到图像中,通过 CameraLink 接口输出。系统可自适应输入的实时数字图像的分辨率与帧频,自动适应不同工业相机,对最高像元时钟 80 MHz 的数字图像进行信息合成。

3 接口电路设计

3.1 CameraLink 接口电路的设计

科学相机或工业相机在产业化、商业化过程中逐渐形成了专用的图像传输接口与制式,其中 CameraLink 接口协议具有传输速度快、传输距离远等优点,逐渐成为科学相机或工业相机的一种通用输出接口。CameraLink 是由 NI 公司、工业相机厂商以及图像采集公司于 2000 年 10 月联合推出的一种基于 LVDS 的图像通信接口协议^[2]。CameraLink 协议是在 Channel-Link 的基础上改进而来,它采用并串驱动器(Driver)和串并接收器(Receiver)传输图像数据,在物理上采用 5 对 LVDS 差分传输线分别传输 4 组数据信号和 1 组时钟信号,可实现 28 位数据和 1 路同步时钟的传输,数据传输速率可达 2.38 Gbit/s。

对于 CameraLink 接口的 LVDS 信号的收发可采用专用接口芯片完成。本设计采用 DS90CR288 芯片接收数字图像,采用 DS90CR287 芯片发送数字图像,这两种芯片最高支持像元时钟 80 MHz,如图 2 所示,这两种芯片可实现 LVDS 信号与 FPGA 支持的 TTL 信号间的转换。由 CameraLink 接口芯

系统采用基于 FPGA 的硬件设计方案,信息合成处理器由高速数字图像输入接口电路、RS-422 与 RS-232 接口电路、基于 FPGA 的主控制器以及数字图像输出电路组成。系统组成框图如图 1 所示。

片解码后的数字图像是行场时钟同步的 TTL 数字信号,时序关系如图 3 所示,FPGA 接收该格式的数字图像信号,来实现信息的合成。

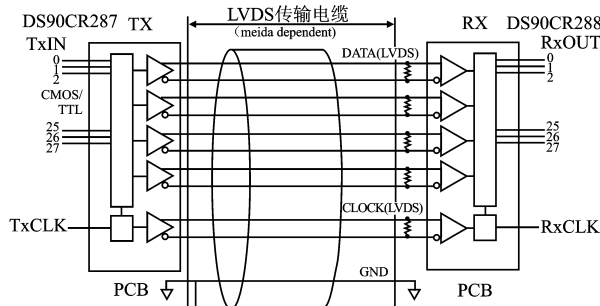


图2 CameraLink 接口芯片收发的原理

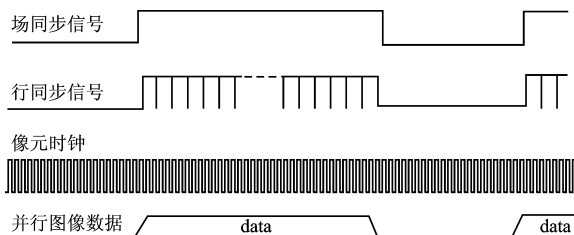


图3 CameraLink 数字图像各信号间的时序关系

相机的控制信号和触发信号是通过 CameraLink 接口的 CC1-CC4、SerTC、SerTCG 这 7 个端口传输,需要为这些信号设计专门的 LVDS 接口电路,完整的转发这些信号,本设计采用 DS90LV019 接口芯片来实现这个功能。

3.2 串行数据接口电路的设计

在以工业相机为核心的测量系统中,同步信息对图像判读与处理具有重要作用,常见的同步信息包括时间信息、角度信息、位置信息、焦距信息、拍摄参数等,这些数据一般是 RS-422 或 RS-232 接口的串行数据,本设计采用 16 片 MAX3490 和 8 片 MAX3232 来接收各路串行数据,转换成 TTL 信号

的串行数据直接送给 FPGA, 进行串并转换和数据组帧。

4 同步信息合成器的设计

4.1 同步信息的合成方法

一幅数字图像在本质上说是一个矩阵, 每个元素的大小决定了每个像元的灰度值, 而同步信息是由多个字节二进制数据组成的数据流, 因此图像数据与同步数据在本质上是一致的, 可以把同步信息的每个字节也看做一个图像数据, 通过硬件处理把同步信息合成到图像中。常用以下三种方法来实现同步信息合成: 一是只将图像数据首行或尾行中数据的低位(如低 2 位)替换成同步信息数据, 而保留所替换的图像数据的高位, 从而得到更多图像信息量; 二是通过复杂度分析算法, 得到图像中信息量小的若干像元坐标, 对这些像元进行替换; 三是将图像数据中的首行或尾行中的部分像元直接替换成同步信息。

同步信息的合成的原则是尽量保留图像信息, 具有较好的实时性和稳定性。对比这几种方法, 第一种方法需要把同步信息各个字节分解编码, 实现复杂, 而被合成的像元的低位数据仍会丢失; 第二种方法实时性差, 对几百帧甚至上千帧高速相机的输出图像很难实时计算信息量, 且每幅图像的合成位置不固定, 不利于同步信息的提取; 第三种方法硬件易实现, 实时性较好。

由于图像的首行或尾行对图像信息量的影响最小, 图像信息损失较小, 如图 4 所示, 本文采用只替换图像数据尾行或首行各像元的低 8 位, 保留高位图像信息的方法完成信息合成。这样, 对于 8 位图像来说, 被替换的像元信息将全部丢失, 而对于 8 位以上的高动态范围的图像数据, 被替换的像元的高位信息仍将保留。

4.2 同步信息合成的硬件实现

同步信息合成功能由集成度较高的 FPGA 硬件实现。系统选用 Altera 公司 Cyclone 的 EP1C6 系列工业级 FPGA。其主要特点是有 5 980 个逻辑单元, 20 个 M4K 存储模块, 存储器容量为 92 160 bit, 2 个 PLL, 20 个全局时钟, 最多 185 个可用 I/O 引脚。系统利用 FPGA 内部的存储器资源构成片内 RAM 实现同步信息数据的缓存^[4], 如图 5 所示, 是 FPGA 内部硬件描述语言的模块设计图。

FPGA 内部逻辑由 VerilogHDL 硬件描述语言编程实现, 图 5 是以合成 2 路同步信息为例的 FP-

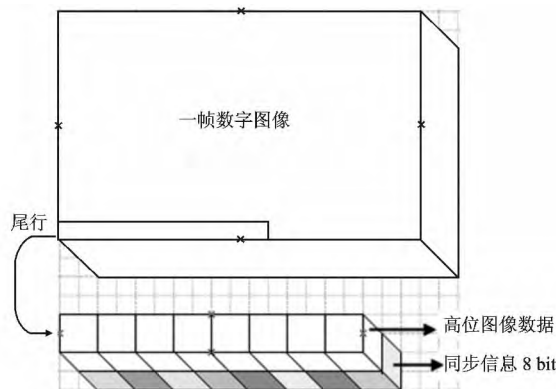


图 4 本文采用的同步信息合成方法

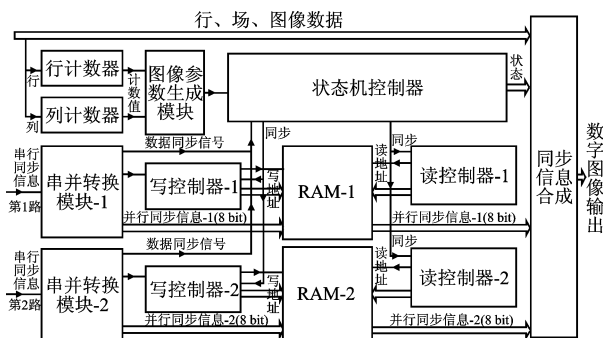


图 5 FPGA 模块设计框图

GA 模块设计框图, 每路同步信息对应一个双口 RAM 和相应的读写控制器, 在同步信息路数的扩展时可增加 RAM 和控制器的数量。

串行同步信息以 230.4 kb/s 的波特率输入, 由串并转换模块转换为并行数据, 串并转换模块工作依靠 11.059 2 MHz 晶振时钟对 230.4 kb/s 的串行数据进行采样, 从起始位开始接收一个字节数据后并行发出, 数据有效后, 串并转换模块发出数据同步信号 RF(负脉冲), RF 信号同时用于写地址的累加和写 DPRAM 时钟。

写控制器的主要作用是生成写 RAM 地址, 该地址由地址计数器对 RF 信号计数实现, 地址计数器的复位决定了每帧数据的起始字节, 复位方式可以通过判断帧头字节 7E 实现, 也可以通过外来的同步触发信号实现复位。读控制器主要作用是根据状态机控制器的状态在信息叠加时刻生成读地址和读使能信号, 读地址计数器对像元时钟计数, 并以像元时钟为读时钟进行数据读出。

FPGA 内部生成双口 RAM 具有两套独立的地址、数据和控制总线, 分别由读写控制器控制, 可从两个端口同时读写而互不干扰。在本设计中, 采用 256 byte 深度、8 bit 宽度的双口 RAM, 存储两帧同

步信息数据,一帧更新、一帧备份缓存,在信息合成时,将相邻两帧同步数据同时叠加到图像中,便于数据判读时提取有用信息。

行列计数器用于生成的实时数字图像的行列坐标。图像参数生成模块的作用是提取行列计数器的值,来确定输入数字图像的分辨率、行场逆程时间等实时图像参数,以便系统能适应分辨率不同的图像。状态机控制器这三部分是系统逻辑设计的控制核心。状态机控制器根据实时图像参数决定当前状态,当前像元位于最后一行叠加位置时,如图5所示,启动同步信息合成模块(是由组合逻辑组成的数据选择器)和读控制器读出两帧同步信息,读取 DPRAM 中的数据替换对应像元数据的低8位,图6是本系统的状态机转换图。由于状态机控制器能够自动区分叠加时刻和非叠加时刻,因此,并不需要对图像数据进行缓存,可采用组合逻辑根据状态机控制器发出的状态选择原始图像数据或同步信息数据输出。

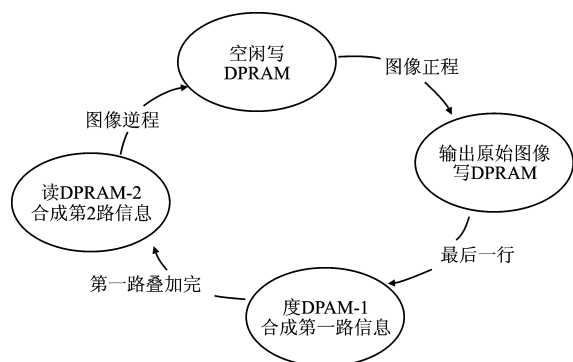


图6 系统状态机转换图

5 实验结果

为验证实时信息合成处理器的功能进行了实验。采用 1024×1024 分辨率的可见光 CCD 相机作为图像源,相机拍摄帧频为 50 f/s,像元时钟频率 40 MHz,图像位数 12 bit。为了查看合成后的图像和同步信息,设计了相应的图像读取与同步信息提取软件。本次实验采用 3 路模拟同步信息发生器提供模拟的同步信息,包括时间信息(230.4 kb/s、22 字节)、角度信息(230.4 kb/s、64 字节)和主控附加地址信息(230.4 kb/s、70 字节)。使用 UltraEdit 软件可以打开 RAW 格式原始图像数据,图7是用 UltraEdit 软件以 16 进制显示的图像最后一行部分原始数据截图,由图可见,最后一行起始像素地址为 001ff800h,其中 0AH 为循环码,后面是位于低8位的模拟合成同步信息,包括时间信息、角度信息等。

	0	1	2	3	4	5	6	7	8	9	a	b	c	d	e	f	
001ff7d0h:	A0	01	A4	01	A4	01	A5	01	A3	01	A1	01	9B	01	A1	01	?????
001ff7e0h:	9E	01	A0	01	A2	01	A1	A5	01	9B	01	A0	01	9F	01	?????	
001ff7f0h:	9C	01	9A	01	9C	01	96	01	99	01	97	01	97	01	97	01	?????
001ff800h:	00	00	00	00	0A	00	00	00	00	00	00	00	00	00	7E	00	...
001ff810h:	00	00	00	00	13	00	00	00	05	00	01	00	01	00	06	00	
001ff820h:	20	00	68	00	01	00	00	00	00	00	00	00	00	00	00	00	..h?
001ff830h:	00	00	E7	00	7E	00	00	00	00	00	13	00	00	00	05	00	..?~
001ff840h:	01	00	01	00	06	00	20	00	68	00	01	00	00	00	00	00	
001ff850h:	00	00	00	00	00	00	00	00	E7	00	00	00	00	00	00	00	
001ff860h:	00	00	00	00	00	00	00	00	00	00	00	00	00	00	7E	00	
001ff870h:	1F	00	E3	00	0A	00	00	00	26	00	00	00	00	7E	00	00	..?..

图7 合成后的同步信息数据在原始图像数据中的位置

6 结束语

上述实验数据说明,同步信息被正确地合成到图像中的指定位置,实现了预期的设计要求。在处理器设计过程中,采用了 FPGA 模块化设计和标准的状态机设计方法,提高了 FPGA 内部逻辑实现的稳定性和可扩展性^[5]。在设计方法上,确定了合成首尾行数据低8位的方案,在实时图像输出过程中,利用状态机控制,直接替换图像数据,无需缓存图像数据,极大的节省了硬件资源。

该处理器系统实现了硬件信息合成,最多可将 24 路不同来源的串行同步信息数据实时合成到工业相机输出的高速数字图像中。与采用计算机软件记录同步信息的方法相比具有实时性好、稳定性高、集成度高的优点,可提高光电测量设备的信息化程度,具有广泛的应用前景。

参考文献:

- [1] 陈炎斌,金钢. 基于 Camera Link 标准的 DSP + FPGA 高速实时数字图像处理系统设计[J]. 现代科学仪器, 2010(6): 61-63.
- [2] 黄德天,刘雪超,吴志勇,等. 基于 CameraLink 的高速图像采集处理系统设计[J]. 吉林大学学报:工学版, 2013,43(3):309-312.
- [3] 余达. 面阵 CCD 高速成像电路技术研究[D]. 长春:中科院长春光机所, 2012.
- [4] 龙娟,杨银堂,乐立鹏,等. FIFO 存储电路的设计与实现[J]. 微电子学与计算机, 2006,23(12):115-117.
- [5] 陈雪,李佩玥,章明朝,等. 基于 PCI Express 总线的高速光纤接口卡的设计与实现[J]. 电子技术应用, 2011, 37(5):64-67.
- [6] Stanton R H, Alexander J W, Dennison E W, et al. Optical tracking using charge-coupled devices[J]. Optical Engineering, 1987, 26(9): 930-938.

作者简介:

何家维 男,(1982 -),博士,研究员.研究方向为数字图像处理、CCD 成像技术. E-mail:hejiawei3650@163.com.